

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/014605

International filing date: 03 August 2005 (03.08.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-239220
Filing date: 19 August 2004 (19.08.2004)

Date of receipt at the International Bureau: 09 September 2005 (09.09.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 8 月 1 9 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 2 3 9 2 2 0

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号
J P 2 0 0 4 - 2 3 9 2 2 0
The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 8 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	2906267702
【提出日】	平成16年 8月19日
【あて先】	特許庁長官殿
【国際特許分類】	H04Q 1/54
【発明者】	
【住所又は居所】	神奈川県横浜市港北区綱島東四丁目3番1号 パナソニックモバイルコミュニケーションズ株式会社内
【氏名】	板原 弘
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100105647
【弁理士】	
【氏名又は名称】	小栗 昌平
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100105474
【弁理士】	
【氏名又は名称】	本多 弘徳
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100108589
【弁理士】	
【氏名又は名称】	市川 利光
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100115107
【弁理士】	
【氏名又は名称】	高松 猛
【電話番号】	03-5561-3990
【選任した代理人】	
【識別番号】	100090343
【弁理士】	
【氏名又は名称】	濱田 百合子
【電話番号】	03-5561-3990
【手数料の表示】	
【予納台帳番号】	092740
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0002926

【書類名】 特許請求の範囲

【請求項 1】

デジタル信号が入力され、アナログ信号を出力する電力増幅装置であって、
入力されたデジタル信号を複数の系に分配する分配手段と、
前記分配されたデジタル信号に対して遅延調整を行う遅延調整手段と、
前記遅延調整手段により遅延調整されたデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、
前記変換されたアナログ信号を増幅する増幅手段と、
前記各々の系の前記増幅手段の出力を合成して出力する合成手段と、
を備える電力増幅装置。

【請求項 2】

請求項 1 に記載の電力増幅装置であって、
前記遅延調整手段は段数が可変なシフトレジスタを有し、前記シフトレジスタの段数を調整することにより遅延量が調整される電力増幅装置。

【請求項 3】

請求項 2 に記載の電力増幅装置であって、
前記デジタルアナログ変換手段の入力クロック信号の位相を制御する入力クロック制御手段を更に備える電力増幅装置。

【請求項 4】

請求項 1 に記載の電力増幅装置であって、
前記遅延調整手段はデジタルフィルタを有し、前記デジタルフィルタのフィルタ係数を調整することにより遅延量が調整される電力増幅装置。

【請求項 5】

複数の並列ユニットに分配されたデジタル入力信号を加算してアナログ信号として出力するパワーコンバイニングシステムの遅延測定方法であって、
前記出力されたアナログ信号の出力電力を取得し、前記取得した出力電力に基づいて前記並列ユニット間の遅延を測定する遅延測定方法。

【請求項 6】

複数の並列ユニットに分配されたデジタル入力信号を加算してアナログ信号として出力するパワーコンバイニングシステムの遅延測定方法であって、
前記出力されたアナログ信号の周波数特性を取得し、前記取得した周波数特性に基づいて前記並列ユニット間の遅延を測定する遅延測定方法。

【書類名】 明細書

【発明の名称】 電力増幅装置およびパワーコンバイニングシステム用遅延測定方法

【技術分野】

【０００１】

本発明は、電力増幅装置およびパワーコンバイニングシステム用遅延調整システムに関する。

【背景技術】

【０００２】

移動体基地局や放送用送信機等に用いられる電力増幅装置には、非常に高い出力が必要とされている。例えば、WCDMA用基地局では、１出力あたり４０～８０W、デジタル放送用機器では数kWに達する。このような送信機では、パワーアンプデバイス１つでは出力レベルをまかないきれないために、数個のデバイスまたはアンプユニットを並列接続する必要がある。

【０００３】

図５はパワーコンバイニングシステムを用いた電力増幅装置の概略構成を示す図である。図５に示すように、入力された信号は分配器１０１により複数の系（並列ユニット）に分配され、その並列ユニットにおける電力増幅器１０２a～１０２cによりそれぞれ増幅され、合成器１０３により合成された信号が出力される。このような従来のパワーコンバイニングシステムでは、各並列ユニット、デバイスの群遅延を正確に制御する必要がある。群遅延を行うための最もベーシックな方法としては、各並列ユニットに遅延線を使用するものである。

【０００４】

しかしながら、各並列ユニットの遅延を整合するように、遅延線を用いた並列パワーコンバイニングシステムを製造、調整することは非常に難しい。そして、この調整が十分でない場合、合成出力電力が減衰したり、出力に周波数特性が発生してしまう。

【０００５】

また、入力がアナログ信号であれば、入出力間の遅延をネットワークアナライザ等を用いて群遅延測定を行い、その測定値（遅延量）から遅延線の長さを理論的に求めることができる。

【０００６】

しかしながら、このような並列パワーコンバイニングシステムを用いた増幅器において、デジタルプリディストーション（例えば、特許文献１）、EER（Envelope Elimination and Restoration）、LINC（Linear amplification with Non-linear Components）等を用いたシステムでは入力がデジタルになるため、ネットワークアナライザ等を用いた測定も不可能となる。

【特許文献１】 特開２００３－３３２８５３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

本発明は、上記従来の事情に鑑みてなされたものであって、容易に遅延調整が可能な電力増幅装置、およびパワーコンバイニングシステム用の遅延測定方法を提供することを目的とする。

【課題を解決するための手段】

【０００８】

本発明の電力増幅装置は、デジタル信号が入力され、アナログ信号を出力する電力増幅装置であって、入力されたデジタル信号を複数の系に分配する分配手段と、前記分配されたデジタル信号に対して遅延調整を行う遅延調整手段と、前記遅延調整手段により遅延調整されたデジタル信号をアナログ信号に変換するデジタルアナログ変換手段と、前記変換されたアナログ信号を増幅する増幅手段と、前記各々の系の前記増幅手段の出力を合成して出力する合成手段と、を備える。

【0009】

この構成により、デジタル入力、アナログ出力の高出力が求められる電力増幅装置においても、容易に遅延調整を行うことが可能となる。

【0010】

また、本発明の電力増幅装置において、前記遅延調整手段は段数が可変なシフトレジスタを有し、前記シフトレジスタの段数を調整することにより遅延量が調整される。

【0011】

この構成により、簡易な構成で容易な遅延調整を行うことができる。

【0012】

また、本発明の電力増幅装置において、前記デジタルアナログ変換手段の入力クロック信号の位相を制御する入力クロック制御手段を更に備える。

【0013】

この構成により、デジタルアナログ変換手段の入力クロックとしてのサンプリング周波数が低い場合にも、入力クロック信号の位相を制御することにより、高い分解能による遅延制御が可能となる。

【0014】

また、本発明の電力増幅装置において、前記遅延調整手段はデジタルフィルタを有し、前記デジタルフィルタのフィルタ係数を調整することにより遅延量が調整される。

【0015】

この構成により、デジタルアナログ変換手段のサンプリングレートが低い場合にも、簡易な構成で容易な遅延調整を行うことができる。

【0016】

本発明の遅延測定方法は、複数の並列ユニットに分配されたデジタル入力信号を加算してアナログ信号として出力するパワーコンバイニングシステムの遅延測定方法であって、前記出力されたアナログ信号の出力電力を取得し、前記取得した出力電力に基づいて前記並列ユニット間の遅延を測定するものである。

【0017】

この方法により、デジタル入力、アナログ出力のパワーコンバイニングシステムにおける遅延量を測定することができる。

【0018】

また、本発明の遅延測定方法は、複数の並列ユニットに分配されたデジタル入力信号を加算してアナログ信号として出力するパワーコンバイニングシステムの遅延測定方法であって、前記出力されたアナログ信号の周波数特性を取得し、前記取得した周波数特性に基づいて前記並列ユニット間の遅延を測定する。

【0019】

この方法により、デジタル入力、アナログ出力のパワーコンバイニングシステムにおける遅延量を測定することができる。

【発明の効果】

【0020】

本発明によれば、容易に遅延調整が可能な電力増幅装置、およびパワーコンバイニングシステム用の遅延測定方法を提供することができる。

【発明を実施するための最良の形態】

【0021】

（第1の実施形態）

図1は、本発明の第1の実施形態に係るデジタル歪補償増幅装置の概略構成を示す図である。図1に示すように、第1の実施形態に係るデジタル歪補償増幅装置は、分配器10と、デジタルプレディストーション部（以下、DPD）20a、20b、20cと、可変シフトレジスタ（以下、VSR）31a、31b、31cと、デジタルアナログ変換器（以下、DAC）40a、40b、40cと、アップコンバータ（以下、UPC）50a、50b、50cと、電力増幅器60a、60b、60cと、合成器70と、を備える。

【0022】

次に、第1の実施形態に係るデジタル歪補償増幅装置の動作について説明する。分配器10は、分配手段の一例であり、デジタル歪補償増幅装置に入力されたデジタル信号を複数の系に分配する。なお、本発明の実施形態では、入力信号が系A、系B、系Cの計3つの系に分配されて増幅される場合を例にとって説明する。

【0023】

各系（系A、系B、系C）にそれぞれ設けられたDPD20a、20b、20cは、例えば、分配器10により分配されたベースバンドのデジタル信号に対して歪補電力増幅器60a、60b、60cの歪の逆特性を加えることによるプリディストーション処理を行う。このプリディストーション処理は所定のサンプリング周波数のクロック信号（CLK）が与えられて行われる。

【0024】

VS R31a、31b、31cは、遅延調整手段の一例であり、DPD20a、20b、20cによってプリディストーション処理が行われた信号に対してそれぞれ所定の遅延量が与えて出力する。

【0025】

DAC40a、40b、40cは、デジタルアナログ変換手段の一例であり、所定のサンプリング周波数を入力クロックとして、VS R31a、31b、31cの出力信号をそれぞれデジタル信号からアナログ信号に変換する。UPC50a、50b、50cは、DAC40a、40b、40cから出力されたアナログ信号をそれぞれ、ベースバンドから例えば無線周波数（RF）帯に変換する。

【0026】

電力増幅器60a、60b、60cは、増幅手段の一例であり、UPC50a、50b、50cから出力された信号をそれぞれ増幅する。合成器70は、合成手段の一例であり、電力増幅器60a、60b、60cからの出力信号、すなわち系A、系B、系Cの出力信号を合成して出力する。

【0027】

ここで、第1の実施形態のデジタル歪電力増幅装置では、上述したように、DACの前に可変長のバッファとしてVS R31a、31b、31cが挿入されており、このVS R31a、31b、31cの段数の調整を行うことにより、各系の遅延量を調整することができる。

【0028】

ここで、DACのサンプリング周波数を f_s 、VS Rの段数を n とすると、（DPDの出力端からDACの入力端までの）遅延制御量 C_1 は式（1）により表される。

$$C_1 = 1 / f_s \cdot n \cdots (1)$$

【0029】

なお、この遅延調整をマイクロ波帯の信号に対して行う場合、その遅延制御量は n_s （ナノ秒）オーダーとなることから、DAC40a、40b、40cのサンプリング周波数はおよそ1GHzを要する。

【0030】

このような本発明の第1の実施形態によれば、パワーコンバイニングシステムのデジタル入力・アナログ出力の電力増幅装置において、簡素な構成で容易に遅延調整を行うことができる。

【0031】

なお、本実施形態では、各系においてデジタルベースバンドプリディストーションが用いられた場合について説明したが、EER、LIN C等を用いた電力増幅装置等、デジタル入力・アナログ出力の電力増幅装置であれば、容易に遅延調整を行うことが可能な効果を得ることができる。

【0032】

（第2の実施形態）

図 2 は、本発明の第 2 の実施形態に係るデジタル歪補償増幅装置の概略構成を示す図である。同図において、第 1 の実施形態で説明した図 1 と重複する部分には同一の符号を付す。

【0033】

図 2 に示すように、第 2 の実施形態に係るデジタル歪補償増幅装置には、遅延調整手段の一例として、FIR (Finite Impulse Response) フィルタ 32 a、32 b、32 c が DAC 40 a、40 b、40 c の前段に設けられている。

【0034】

遅延調整用に FIR フィルタ 32 a、32 b、32 c を設けることにより、DAC 40 a、40 b、40 c を、そのサンプリング周波数が低いものを用いた場合にも、遅延調整を行うことが可能となる。この場合、FIR フィルタ 32 a、32 b、32 c を必要な遅延調整分解能が得られるようにオーバーサンプリング設計するように係数制御を行う。

【0035】

FIR フィルタ 32 a、32 b、32 c は、その係数を制御することにより、遅延量を調整することが可能となる。なお、FIR フィルタは、そのフィルタ段数に応じて処理時間が発生する。

【0036】

ここで、FIR フィルタのフィルタ段数を m 、係数制御による遅延量を D_f 、DAC のサンプリング周波数を f_s とすると、(DPD の出力端から DAC の入力端までの) 制御遅延量 C_2 は、式 (2) により表される。

$$C_2 = (m + D_f) \cdot 1 / f_s \quad \cdots \quad (2)$$

【0037】

したがって、FIR フィルタのサンプリングレートをオーバーサンプリングするように設計することで、サンプリングレートの低い DAC を使用したとしても、所望の遅延調整を実現することができる。

【0038】

このような本発明の第 2 の実施形態によれば、パワーコンバイニングシステムのデジタル入力・アナログ出力の電力増幅装置において、アナログ変換のサンプリング周波数が低い場合においても、簡素な構成で容易に遅延調整を行うことができる。

【0039】

(第 3 の実施形態)

図 3 は、本発明の第 3 の実施形態に係るデジタル歪補償増幅装置の概略構成を示す図である。同図において、第 1 の実施形態で説明した図 1 と重複する部分には同一の符号を付す。

【0040】

図 3 に示すように、第 3 の実施形態に係るデジタル歪補償増幅装置には、DAC 40 a、40 b、40 c の入力クロック信号 CLK を制御する DDS (Direct Digital Synthesizer: ダイレクトデジタルシンセサイザ) 33 が設けられている。

【0041】

DDS 33 は、入力クロック制御手段の一例であり、DAC 40 a、40 b、40 c の入力クロック信号 (CLK) の数倍の周波数を基準としてその $1/2$ までの範囲の任意の周波数に入力周波数を変換し、かつその初期位相を変更可能な回路である。

【0042】

本実施形態のデジタル歪補償増幅装置において、DDS 33 は、入力クロック信号 (サンプリング周波数) の周波数を変更せずに初期位相をサンプリング周波数に対して変更する回路として使用される。これにより、おおよそ 1 波長を数千分の 1 の分解能で位相制御可能であるため、VSR 31 a、31 b、31 c との併用によりサンプリングレートの数千分の 1 の分解能で VSR の段数幅の遅延を制御可能である。

【0043】

ここで、DAC のサンプリング周波数を f_s 、VSR の段数を n 、DDS の位相制御量

をCすると、(DPDの出力端から増幅器の入力端までの)遅延制御量 C_3 は式(3)により表される。

$$C_3 = 1 / f_s \cdot (n + C) \quad \cdots (3)$$

【0044】

したがって、サンプリング周波数に対応する程度の大まかな調整はVSRの段数制御により、また、微調整はDDSの位相制御により遅延調整を行うことで、サンプリング周波数の低いDACを用いた場合であっても、十分な遅延調整を行うことが可能となる。また、フィルタ等で遅延を調整するものではないので、入力された信号の帯域を狭めることなく遅延量を制御することができる。

【0045】

このような本発明の第3の実施形態によれば、パワーコンバイニングシステムのデジタル入力・アナログ出力の電力増幅装置において、アナログ変換のサンプリング周波数が低い場合においても、簡素な構成で容易に遅延調整を行うことができる。

【0046】

(第4の実施形態)

図4は、本発明の第4の実施形態に係る遅延測定システムの概略構成を示す図である。同図において、第1～第3の実施形態で説明した図1～図3と重複する部分には同一の符号を付す。

【0047】

図4に示すように、パワーコンバイニングシステムは、分配器10、複数の系1a～1c、合成器70を有している。分配器10は、入力されたデジタル信号を複数の系(本実施形態では3つの系A～C)に分配する。系A(1a)、系B(1b)、系C(1c)は、デジタルアナログ変換機能を有し、それぞれデジタル信号を出力する。合成器70は、系A～系C(1a～1c)からの信号を合成して出力する。すなわち、本実施形態のパワーコンバイニングシステムは、デジタル信号が入力され、アナログ信号を出力するシステムである。

【0048】

このようなパワーコンバイニングシステムの出力信号を、パワーメータ81およびスペクトルアナライザ82により測定することにより、系A～系C(1a～1c)の遅延の整合状態を測定する。

【0049】

パワーメータ81は、合成器70からの出力電力レベルを測定する。系A～系Cの遅延がうまく整合できていない場合、出力電力レベルは遅延が整合している場合よりも低くなる。したがって、この出力レベルを取得することにより、各系間の遅延の整合状態を測定することができる。

【0050】

スペクトルアナライザ82は、合成器70からの出力信号の周波数特性を測定する。系A～系Cの遅延がうまく整合できていない場合、出力信号の周波数特性に、キャリア周波数付近で平坦性にバラツキが生じる。したがって、出力信号の周波数特性を取得することにより、各系間の遅延の整合状態を測定することができる。

【0051】

これにより、デジタル入力・アナログ出力のパワーコンバイニングシステムにおいても、適切な遅延測定を行うことが可能となる。

【0052】

そして、各系A～Cに遅延調整機能がある場合、図4に示すように、パワーメータ81およびスペクトルアナライザ82の測定結果に基づいて、その遅延調整機能に対する制御信号を生成する制御信号生成部90を設けることにより、容易に遅延調整を行うことができる。

【0053】

制御信号生成部90は、パワーメータ81の出力結果に対しては、測定される出力レベ

ルが最大になるように各系の遅延量を調整するような制御信号を生成する。また、スペクトルアナライザ８２の出力結果に対しては、測定される周波数特性がより平坦になるような制御信号を生成する。

【００５４】

この調整方法の一つとしては、例えば、いずれかの系を固定し、他の系の遅延を順次調整していくことにより、遅延の調整を行う方法が挙げられる。

【００５５】

なお、制御信号生成部９０が生成する制御信号は、例えば、系Ａ～Ｃ（１ａ～１ｃ）の回路が、第１の実施形態の系Ａ～Ｃであれば、その制御信号はＶＳＲ３１ａ～３１ｃに入力される係数制御信号であり、第２の実施形態の系Ａ～Ｃであれば、ＦＩＲ３２ａ～３２ｃに入力される段数制御信号であり、第３の実施形態の系Ａ～Ｃであれば、ＶＳＲ３１ａ～３１ｃに入力される係数制御信号およびＤＤＳ３３に入力される位相制御信号である。

【００５６】

なお、パワーメータ８１およびスペクトルアナライザ８２の測定結果は、各系間の遅延整合状態に対して、高い相関が認められる。したがって、パワーメータ８１およびスペクトルアナライザ８２のうち、いずれか一方のみでも遅延測定を行うことが可能であるが、両方の測定を行うことにより、より確実な遅延測定を行うことが可能となる。

【００５７】

このような本発明の第４の実施形態によれば、パワーコンバイニングシステムにおける遅延測定を行うことが可能となり、さらに、測定した遅延に基づいて容易に各系の遅延量を調整することが可能となる。

【産業上の利用可能性】

【００５８】

本発明の電力増幅装置およびパワーコンバイニングシステム用遅延測定方法は、容易に遅延調整が可能な効果を有し、移動体基地局や放送用送信機等に有用である。

【図面の簡単な説明】

【００５９】

【図１】 本発明の第１の実施形態に係るデジタル歪補償増幅装置の概略構成を示す図

【図２】 本発明の第２の実施形態に係るデジタル歪補償増幅装置の概略構成を示す図

【図３】 本発明の第３の実施形態に係るデジタル歪補償増幅装置の概略構成を示す図

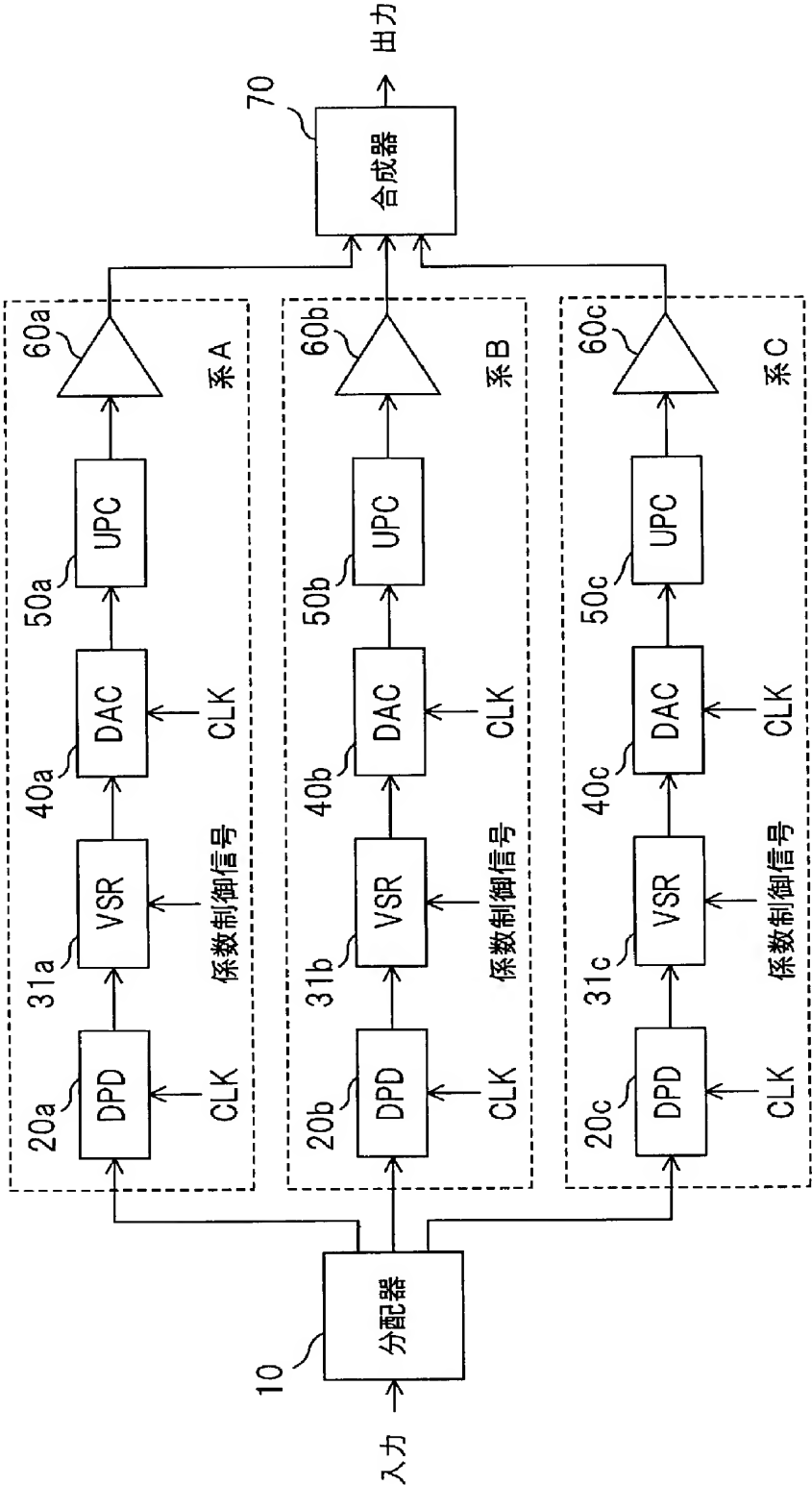
【図４】 本発明の第４の実施形態に係る遅延測定システムの概略構成を示す図

【図５】 パワーコンバイニングシステムを用いた電力増幅装置の概略構成を示す図

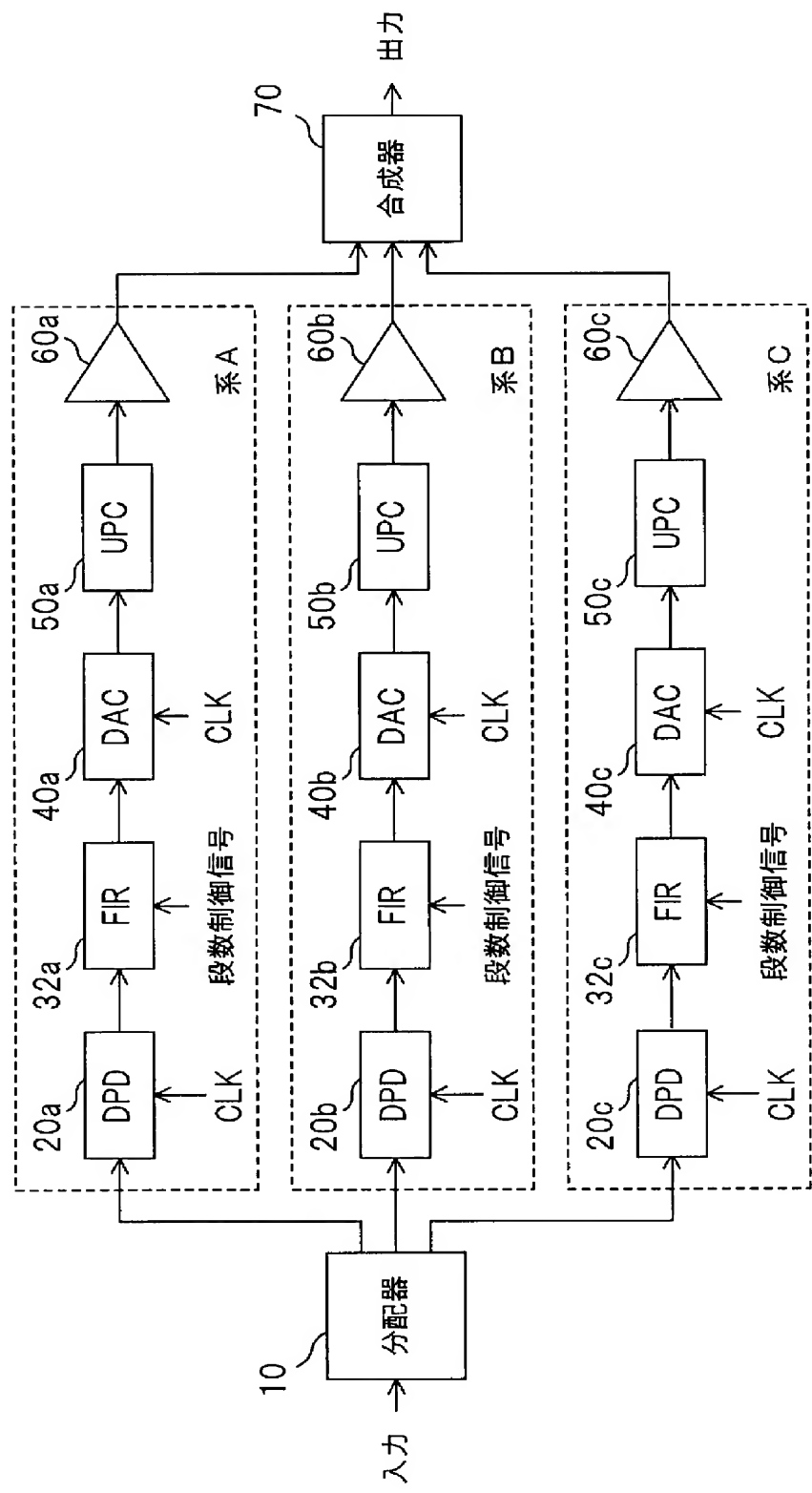
【符号の説明】

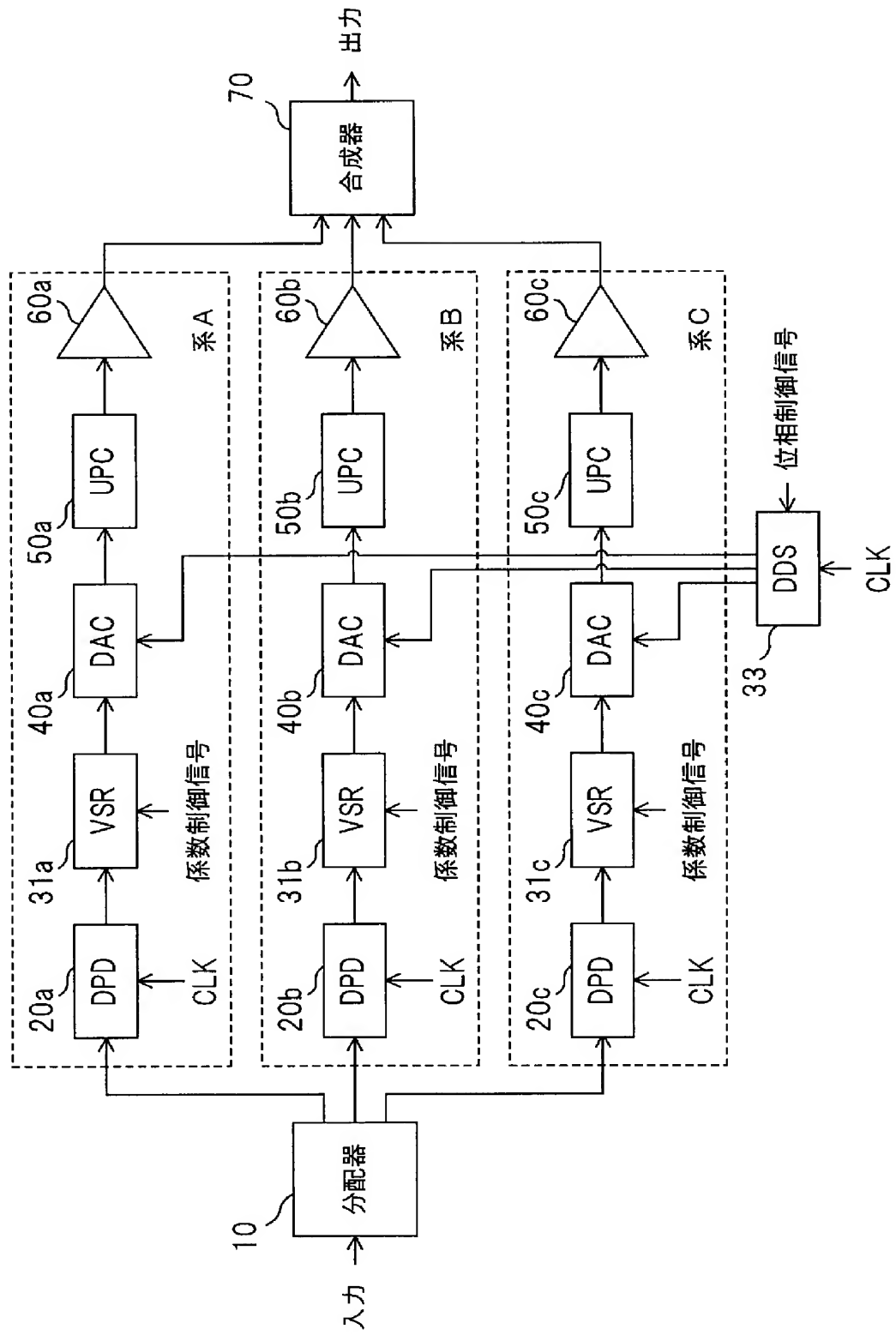
【００６０】

- １０ 分配器
- ２０ａ、２０ｂ、２０ｃ デジタルプリディストーション部
- ３１ａ、３１ｂ、３１ｃ 可変シフトレジスタ
- ３２ａ、３２ｂ、３２ｃ ＦＩＲフィルタ
- ３３ ダイレクトデジタルシンセサイザ
- ４０ａ、４０ｂ、４０ｃ デジタルアナログ変換器
- ５０ａ、５０ｂ、５０ｃ アップコンバータ
- ６０ａ、６０ｂ、６０ｃ 増幅器
- ７０ 合成器
- ８１ パワーメータ
- ８２ スペクトルアナライザ
- ９０ 制御信号生成部

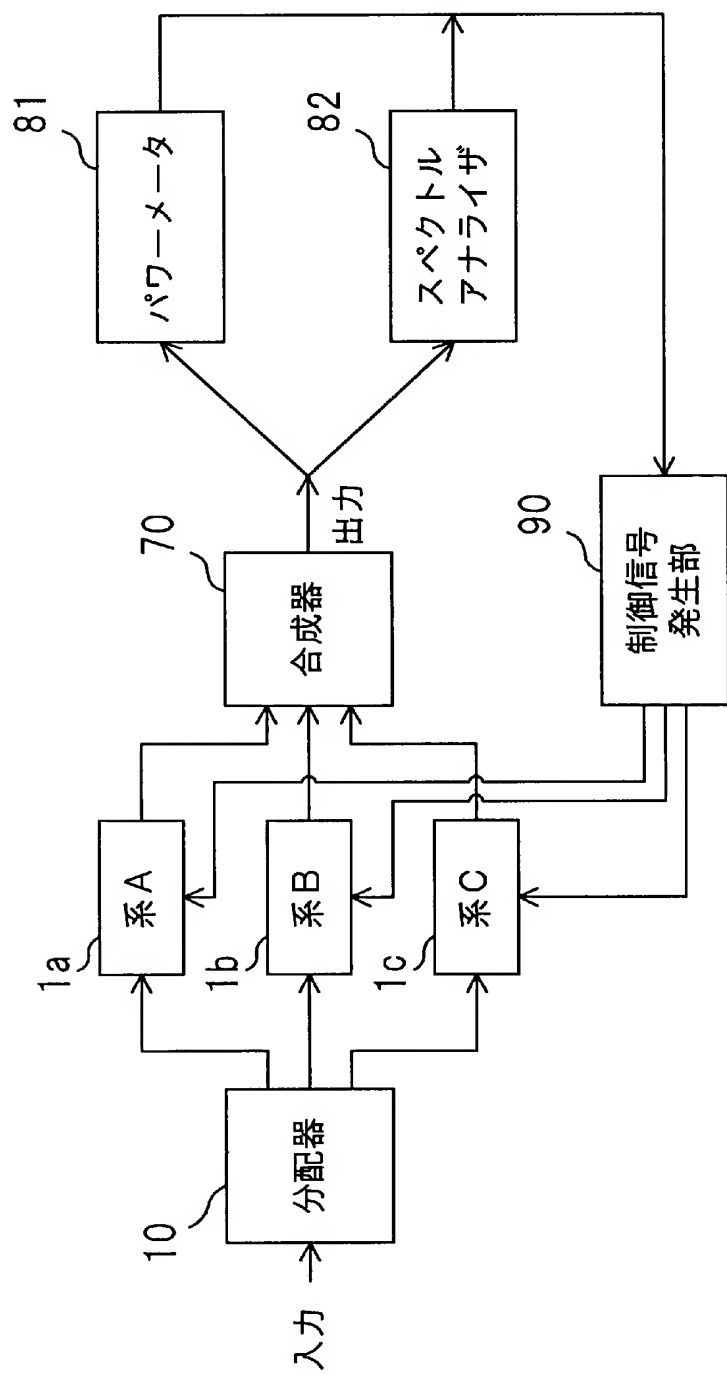


【図 2】

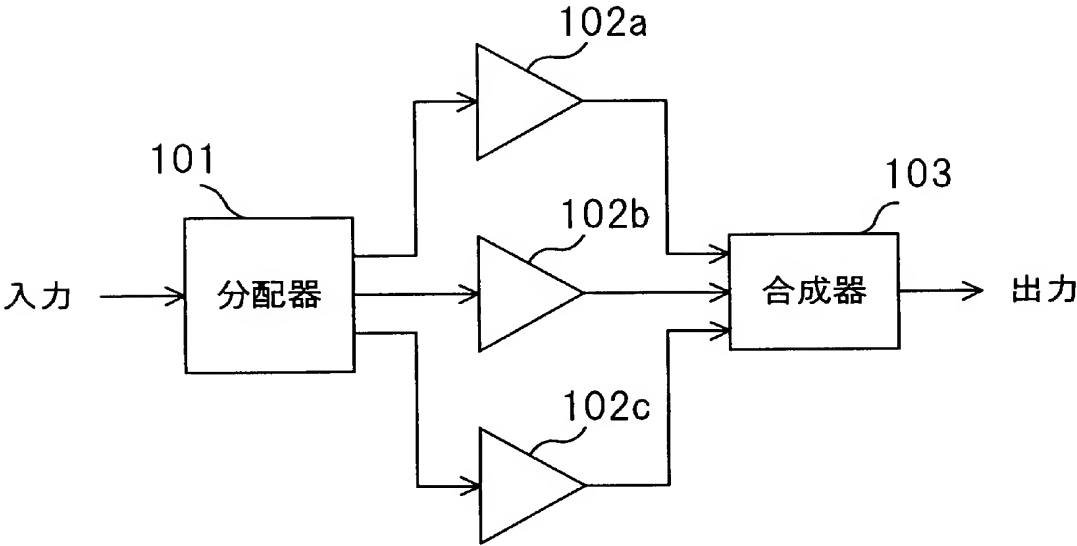




【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 容易に遅延調整が可能な電力増幅装置、およびパワーコンバイニングシステム用の遅延測定方法を提供すること。

【解決手段】 分配器10は入力されたデジタル信号を複数の系A～Cに分配する。分配された信号はデジタルプリディストーション部20a、20b、20cにより歪補償され、可変シフトレジスタ31a、31b、31cに入力される。可変シフトレジスタ31a、31b、31cは係数制御信号により係数が制御され、入力された信号には所定の遅延量を与えられる。遅延が与えられた信号はデジタルアナログ変換器40a、40b、40cによりアナログ信号に変換され、アップコンバータ50a、50b、50cにより無線周波数帯に変換された後、増幅器60a、60b、60cにより増幅される。増幅された信号が合成器70によって合成され、デジタル歪増幅装置の出力信号として出力される

【選択図】 図1

出願人履歴

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社